



## 【特許請求の範囲】

【請求項 1】少なくとも一部が有機材料で構成された多層配線基板と、電子回路が形成された半導体チップと、前記半導体チップと前記多層配線基板との間を埋める有機樹脂とを有する半導体装置において、前記多層配線基板上のチップ接続用端子下の少なくとも一部の構成部材が 150℃以下のガラス転移温度を有する有機材料で構成され、チップ接続用端子の最小ピッチが 100 μm ピッチ以下であり、チップ接続用端子の表面金属が Ni-P/Au あるいは Ni-P/Pd/Au のめっき層から構成され、かつ Au や Pd/Au の貴金属部の総厚さが 0.005 ~ 0.3 μm であり、半導体チップの電極端子に Au パンプが形成され、基板上の前記 Au 接続端子とチップの前記 Au パンプが金属接合で接続されていることを特徴とする半導体装置。

【請求項 2】請求項 1 に記載の半導体装置において、前記多層配線基板が、片面あるいは両面配線パターンを有するプリント配線基板で構成されたコア基板と、前記コア基板の上に液状樹脂を塗布して硬化させるかあるいはフィルム状の樹脂を貼り付けて形成した有機絶縁層、前記有機絶縁層上にコア基板より微細で最小配線ピッチが 100 μm 以下の Cu 配線が形成された微細配線層、及び上層微細配線と下層の配線を接続するビアホール接続部とを有する 1 層以上のビルドアップ層とからなる多層配線基板であることを特徴とする半導体装置。

【請求項 3】第 1 及び 2 項において、Au パンプ/Au 接続端子が Au の延性破断を呈する金属接合によってフリップチップ接続され、チップ/基板間に無機絶縁フィラーを含む樹脂が充填され、基板の外部接続端子が半田バンプで構成された構造となっていることを特徴とする半導体装置。

【請求項 4】請求項 2 に記載の半導体装置において、前記コア基板の上の前記有機絶縁層がガラス転移温度 T<sub>g</sub> : 150℃以下の有機樹脂で構成され、微細配線 Cu パターンの少なくとも一部がめっきによって形成されていることを特徴とする半導体装置。

【請求項 5】請求項 2 に記載の半導体装置において、前記コア基板の上の前記有機絶縁層と前記微細配線層がポリイミドテープ基板を接着して形成されていることを特徴とする半導体装置。

【請求項 6】少なくとも一部が有機材料で構成された多層配線基板と、電子回路が形成された半導体チップと、前記半導体チップと前記多層配線基板との間を埋める有機樹脂とを有する半導体装置において、前記多層配線基板上の Au 接続端子と前記半導体チップ上の Au パンプが金属接合され、Au パンプの結晶組織がチップ側で粗く基板側で端子面方向に揃った偏平形状かつ微細な組織となっていることを特徴とする半導体装置。

【請求項 7】スルーホールと両面配線パターンとを有する有機配線基板の両面に、有機絶縁層と Cu めっき配線

とビアホールから構成される 1 ~ 4 層のビルドアップ層が形成され、半導体チップと接続する端子面に Au 厚が 0.005 ~ 0.3 μm の無電解 Ni/Au または無電解 Ni/Pd/Au めっきが施されたビルドアップ基板と、

ピン数 50 ヶ以上を有するベアチップの接続電極あるいはチップ表面に設けた再配線層上の接続電極に Au バンプを形成した半導体チップとを含み、

Au バンプと Au めっき面が Au/Au の金属接合でフリップチップ接続され、基板とチップとの間の間隙が無機絶縁フィラーを含む樹脂で充填され、ビルドアップ基板の裏面の外部接続端子上に半田バンプがリフローにより形成された構造を有していることを特徴とする半導体装置。

【請求項 8】少なくとも一部が有機材料で構成された多層配線基板と、電子回路が形成された半導体チップと、チップと基板との間を埋める有機樹脂とを有する半導体装置において、前記多層配線基板のチップ接続端子の最表面金属が Au のめっき層で構成され、前記半導体チップの電極端子面上に貴金属スタッドバンプが形成され、前記チップ接続端子上の Au めっき層と前記貴金属バンプとが金属接合で接続され、チップ電極/バンプ間の密着面積 S<sub>c</sub> とバンプ/基板側接続端子間の密着面積 S<sub>k</sub> の比 S<sub>k</sub>/S<sub>c</sub> が 1/2 以下であることを特徴とする半導体装置。

【請求項 9】貴金属同士の固相金属接合によるフリップチップ接続で半導体チップが配線基板に実装された半導体装置において、配線基板の半導体チップ接続端子の表面金属が Ni/Au あるいは Ni/Pd/Au のめっき層から構成され、かつ Au や Pd/Au の貴金属部の総厚さが 0.005 ~ 0.3 μm であり、半導体チップが Si 基板の電子回路形成エリアと電極パッドエリアとで構成され、その表面に厚さ 2 μm 以上の有機絶縁層を挟んで再配線層が形成され、電極パッドと電気的に結線された再配線層の接続パッドが総厚 2 μm 以上の Cu/バリア金属/Au の多層金属構造で構成され、その接続パッド上に Au バンプが形成され、Au バンプと Au めっき面が Au/Au の金属接合でフリップチップ接続され、かつ基板とチップ間の間隙が無機絶縁フィラーを含む樹脂で充填され、配線基板の裏面の外部接続端子上に半田バンプがリフローにより形成された構造を有していることを特徴とする半導体装置。

【請求項 10】貴金属同士の固相金属接合によるフリップチップ接続で半導体チップが配線基板に実装された半導体装置において、配線基板のチップ接続端子の表面金属が Ni/Au あるいは Ni/Pd/Au のめっき層から構成されかつ Au や Pd/Au の貴金属部の総厚さが 0.005 ~ 0.3 μm であり、半導体チップが Si 基板の Cu 配線による電子回路形成エリアと Cu 電極パッドエリアとで構成され、Cu 電極パッド最表面にバリ

ア層を介してAuまたはAlメタライズ処理が施され、さらにその上にAuスタッドバンプあるいはAuめっきバンプが形成され、AuバンプとAuめっき面がAu/Auの金属接合でフリップチップ接続され、かつ基板とチップとの間の間隙が無機絶縁フィラーを含む樹脂で充填され、配線基板の裏面の外部接続端子上に半田バンプが形成された構造を有していることを特徴とする半導体装置。

【請求項11】配線基板のAuめっき接続端子とチップ上に形成されたAuバンプのフリップチップ接続において、配線基板のAu接続端子表面をAu膜厚の1/10以上または10nm以上でAu膜厚の1/2以下の厚さだけ平行平板電極間で発生させた減圧下のAr放電ガスにより物理的にスパッタエッチングする工程と、チップ上のAuバンプ表面を数〜数十nmの厚さだけ基板側と同様にスパッタエッチングする工程と、基板とチップとを対面させて位置合わせする工程と、チップ側を室温から150℃の範囲の温度：Tc、基板側を室温〜基板のガラス転移温度Tg以下の温度Tbに加熱する工程と、超音波加振中にチップに加える荷重を増加させる過程を含む超音波接合方法でAu/Auの金属接合を行う工程と、基板とチップとの間に樹脂を充填する工程と、充填した樹脂を加熱硬化させる工程と、基板の外部接続端子に半田バンプを形成する工程とを有する半導体装置の製造方法。

【請求項12】請求項11に記載の半導体装置において、チップと配線基板の両者をスパッタエッチングした後で超音波によりフリップチップ接合するまでの大気開放時間を10分以内とすることを特徴とする半導体装置の製造方法。

【請求項13】請求項11に記載の半導体装置において、超音波接合時の基板温度を室温とし、チップ温度を室温〜150℃とすることを特徴とする半導体装置の製造方法。

【請求項14】請求項11に記載の半導体装置において、超音波接合時の基板温度及びチップ温度を室温とすることを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、貴金属バンプを介してフェイスダウンでSiチップを配線基板に実装する半導体装置と実装方法に係り、特に実装時のチップダメージを低減でき、接続部の耐熱性や温度サイクル寿命や高温高湿および高温保持信頼性を大きく改善できるチップ/基板間の接合構造並びに接合端子のメタライズ構成と金属接合方法に関する。

#### 【0002】

【従来の技術】従来のAuバンプを用いた半導体チップのフリップチップ実装法には、

1) Au/Auの直接接合、

2) 絶縁樹脂によるチップ接着でAu/Au接触接続、

3) 異方導電性樹脂によるチップ接着でAu/Ag粒子/Au接触接続、

4) Au/Snの熔融接合

などがある。2)、3)の樹脂接着による接触接続方式は、高湿度環境下に曝された後の各種信頼性試験で劣化が顕著で信頼性に乏しく、4)の低融点金属を使った熔融接合方式は、接合界面に脆い金属間化合物を形成して接合後の冷却過程や温度サイクル試験時にクラックを発生し易く強度信頼性が低いという問題がある。現状で信頼性に最も優れる実装法はAu/Au直接接合方式である。

【0003】Au/Au接合方式の従来技術として、Auバンプを形成した表面波デバイスを配線基板のAuパッドにフェイスダウンで超音波を加えて金属接合して搭載する方法が、特開平10-107078号や電子通信学会技術報告書(1995年7月)に先行技術として開示されている。これらの先行技術では、Auバンプ/Auパッド間を確実に金属接合させるため、Auパッドの膜厚を0.5μm以上とし、適正な接合条件として接合荷重を75gf/bump〜300gf/bump、接合温度を150〜250℃、超音波印加時間を500〜800msとしている。この条件でのAuバンプ接合部の剪断強度として40gf/bump〜100gf/bumpが得られるとしている。表面波デバイスの誘電体基板は複合酸化物系の誘電体材料であるため強度的に非常に強く、接合荷重300gf/bumpまでは接合によるダメージは無いとしている。接合条件の下限值である接合荷重75gf/bump、接合温度150℃、超音波印加時間300msは、これ以上上げると接合強度の低下と共に接合が不安定となり、未接合品や未接合バンプが発生して歩留まりの低下や接続信頼性の低下を招き、製品の組立てが困難になる条件だとしている。また、配線基板はセラミック基板についてのみ述べられている。

【0004】一方、Auバンプを形成した半導体チップを有機材料を含む配線基板上にフェイスダウンで金属接合により搭載する実装方法が特開平10-275826号に先行技術として開示されている。先行技術では、配線基板上の硬質金属：Ni(3〜5μm)/Au(0.03〜0.05μm)を被覆した接合パッド部を、接合前に真空中でイオンあるいは原子を照射して清浄化し、チップはバンプ形成後直後に非酸化性雰囲気中に保管して清浄さを保ったものを用いて互いに接合するとしている。接合は、これら配線基板とチップを大気中で加熱と圧力を加えて所定時間保持し、硬質金属とAuバンプとの間に合金層を形成して金属接合を行うとしている。このときの適正な接合条件は、接合温度がチップ側で150〜300℃で基板側で60〜120℃、接合荷重20gf/bump〜30gf/bump、接合時間10〜150秒としている。イオンあるいは原子を照射して清浄化した後の

パッド表面にはAuがわずかに残留している程度とし、上記条件で接合することによって硬質金属NiとAuバンプ間に合金層を形成させ、接合部を破壊試験した場合にNi層の一部が挟まれてバンプ電極先端に付着した状態で破断するほど強固に接合できるとしている。超音波を付与すると接合温度の低温化や接合時間の短時間が図れるとしているが、詳細は開示されていない。

#### 【0005】

【発明が解決しようとする課題】我々は、マイコンや画像処理デバイスやメモリなどの最新のLSIチップを搭載した高速・高機能のマルチチップモジュールを開発するに当り、従来のAu/Au接合方式を検討評価した。モジュール基板は、LSIチップの電極ピッチに合わせるため最小配線ピッチを90~40μmピッチとする必要があった。一般的なプリント配線基板は、Cu箔を張り付けてエッチングしてパターンニングする方法で製造されるが、微細ピッチ化の点で100μmピッチ程度が限界である。それ以上の微細ピッチに対応可能な配線基板は、コア基板上に薄い絶縁層を形成した後でめっき手法でパターンを形成していく逐次積層方式のビルドアップ基板が生産性と信頼性とコストの点で最有力である。しかしこのビルドアップ基板は、逐次積層で形成する有機絶縁層のガラス転移温度が比較的低温(100~150℃)で弾性率が低いことや、めっきプロセスが無電解めっきに限定されるため厚いめっき膜の形成がコスト的に難しいこと、形状・寸法の制約から微細配線の剛性が低いことのために、従来のAu/Au金属接合によるフリップチップ実装が難しいという問題がある。具体的検討例を以下に示す。

【0006】上記の超音波接合技術により、上記ビルドアップ基板にAu/Au接合で最新のLSIチップをフリップチップ実装した。その結果、接合荷重75gf/bump、接合温度150~250℃、接合時間300msの条件では、Auバンプを形成したチップのAl電極下絶縁層に微小クラックが生じてしまい、チップダメージが本実装法の大きな問題であることが判明した。また、ビルドアップ基板が加熱されたときに微細配線部に加えられる接合荷重と超音波振動によって微細配線が大きく変形し、表面にめっき形成されたNi層にクラックが発生して配線切れが発生することが判明した。これらの問題を避けるために接合荷重を下げると十分な接合が得られず、50ピン以上のLSIチップでは接合不良に基づく初期の導通不良を無くせず、接合率100%を達成することが困難なことが判明した。また、接合温度150℃においては、有機基板の熱膨張率17ppmとLSIチップの熱膨張率3ppmの差によって、10mm角のチップでは最大で約20μmの初期位置ずれが発生し、超音波接合時のAuバンプの変形過程でその位置ずれが助長されて、隣の端子と短絡する不良が発生し易いことが判明した。また、ピッチの粗いパターンに接合した場合には、

位置ずれや短絡不良は発生しなかったが、接合後の冷却過程においてチップ/基板間に大きな熱歪みが発生し、チップ上のAl膜厚が薄く下地が弱いLSIにおいてチップダメージ(下地絶縁層のクラック)が発生することが判明した。

【0007】一方、基板表面を清浄化して熱圧着する従来の上記Au/Au接合法で、Ni(5μm)/Au(0.05μm)仕様のビルドアップ基板に最新のLSIチップをフリップチップ実装したところ、チップ温度150℃/基板温度60℃、接合時間10~150s、接合荷重20~30gf/bumpの条件において、大気中の熱圧着接合では十分な金属接合が達成されなかった。接合状態の評価は、接合サンプルをNaOH水溶液中でAl電極を腐食してチップを除去し、Auバンプの基板側への転写率を調べる方法で行い、金属接合の有無を判断した。Auバンプ転写率100%が得られる接合条件を検討した結果、接合温度としてチップ温度300℃/基板温度120℃、接合荷重20~30gf/bump、接合時間150s以上の条件で転写率100%を確認した。しかし、上記いずれの条件においても接合時間が10~150sと長いため、ビルドアップ基板の温度が上昇して逐次積層した絶縁層の弾性率が低下することが判明し、この現象によって下地にコア基板のCuパターン配線が有る領域の微細配線部と無い領域の微細配線部の変形の大きさに差が生じることが分った。このため、Auバンプの変形率にばらつきが生じ、変形率の大きいバンプは十分な金属接合が得られるが、変形率の小さいAuバンプは接合が不十分となることが判明した。これは、ガラス転移温度や弾性率が高い材料で構成された従来のプリント配線板では生じなかった問題である。接合温度を上げれば接合レベルが全体に引き上がるため、変形率の小さいAuバンプにおいても金属接合が達成されるが、基板の熱膨張に伴うバンプ/微細配線間の位置ずれが増大すること、及び微細配線部が大きく変形しそれに伴う位置ずれが加わることの2つの理由によって、100μm未満の微細ピッチLSIの実装が困難であった。また、生産性の点で接合時間が長いことは製造コストの上昇を招くという問題もある。

【0008】また、従来のAu/Au接合法により各種配線基板にLSIを模擬したTEGチップをフリップチップ実装し、基板/チップ間に熱膨張率約30ppmの無機絶縁フィラー入り樹脂を充填した実装サンプルを作製して-55/150℃の温度サイクル試験を行って評価したところ、Auバンプの基板側への転写率が100%となる条件のサンプルではAuバンプの変形が大きくチップ/基板間の間隙が小さくなり、チップのAl電極とAuバンプ間でクラックが生じ、1000サイクルレベルで断線が生じることが判明した。Auバンプの変形を抑えた条件のサンプルではAuバンプの転写率が100%とならず、初期に導通が確認されたものでも数百サイ

クルの試験でAuバンプとAu接続端子の接合界面が開  
口して短時間に断線に至ることが判明した。

【0009】本発明の目的は、最小配線ピッチ100μ  
m以下の微細配線層を有し、低ガラス転移温度の表面絶  
縁層を有する有機配線板に、最小電極ピッチが100μ  
m以下で50ピン以上の電極パッドを有するLSIチッ  
プを、基板/チップ間の位置ずれを生じさせず、かつチ  
ップダメージを生じさせず、Au/Auの金属接合により  
全ピンを確実にフリップチップ接続する半導体の製造  
方法を提供することにある。

【0010】本発明の他の目的は、多ピン・微細ピッ  
クのLSIチップを高信頼かつ低インピーダンス特性で微  
細配線層を有する有機配線基板に搭載でき、組立て歩留  
まりが高くかつ生産性に優れた実装構造および実装プロ  
セスを提供することにある。

【0011】本発明の他の目的は、微細配線層と低ガラ  
ス転移温度の有機絶縁層から成るビルドアップ層を表面  
層に持つ有機配線基板上に50ピン以上の電極パッドを  
有する多ピンLSIチップをフリップチップ接続により  
搭載した半導体装置であって、フリップチップ接続部の  
耐熱性、電気的特性、高温高湿や温度サイクル信頼性に  
優れた半導体装置を提供することにある。

【0012】

【課題を解決するための手段】本発明において、上記第  
1の目的を達成するために、LSIチップの電極上に台

$$1/2 S_1 (\text{m}^2) \times 120 (\text{MPa}) \leq P (\text{N}) \leq S_1 (\text{m}^2) \times 180 (\text{MPa})$$

(ここで $S_1$ : Auバンプ/電極間の接触面積)の範囲  
から選択する。この条件より高い荷重では、Auバンプ  
/チップ電極の接触部でAuバンプの変形に伴うチップ  
ダメージが発生するためであり、低い荷重では接合面積  
がバンプサイズに比べて著しく小さくなり、チップ/基  
板間に熱歪みが発生した場合にバンプ本体が変形せずに  
接合界面に歪みが集中して断線する確率が増すためであ  
る。

【0013】その他の接合条件としては、接合雰囲気  
の湿度を60%以下とし、接合温度を基板を搭載するステ  
ージ側で室温~60℃、接合ヘッド側で室温~150℃  
の範囲とし、接合時間は50~500msの範囲とし、  
振動振幅はチップの振幅として50kHzの場合で0.  
3~2.0μm、従ってツール振幅は接合ツール/チッ  
プ間の振動伝達効率が1/2の場合で0.6~4.0μm  
の範囲とし、ワークに合わせて適正条件を選択する。また  
荷重の加え方は、超音波印加中に低荷重から高荷重に  
上昇する方式とし、表面清浄化から接合までの接合ワー  
クの大気中露出時間は10分以下とする。この接合条件  
範囲とすることにより、Auバンプの変形を先端部分近  
傍のみに留めて、基板/チップ間の位置ずれを生じさせ  
ず、かつチップにダメージを与えずに全ピンのAu/A  
u金属接合を達成できることを確認した。その検討結果

座部の直径あるいは矩形の1辺の大きさが電極サイズの  
60~100%あるいは最小電極ピッチの50~90%  
の大きさと高さが5~40μmの大きさを有し、その上  
部に台座部の直径の70%以下の大きさと先端部がさら  
に小さくなり、底面から先端までの全体の高さが30μ  
m以上であるようなAuバンプを形成する。一方、微細  
配線層を持つ有機配線基板側のCu配線の接続端子最表  
面にはAuめっき膜を形成する。両者をフリップチップ  
接合する前に、大気圧または0.1~数Paの減圧Ar  
雰囲気下でAuバンプ表面を膜厚で5nm以上Arイオ  
ンスパッタリングにより物理的にエッチングし、接続端  
子側のAuめっき表面を5nm以上またはAu膜厚の1  
/10~1/2程度Arイオンスパッタリングにより物  
理的にエッチングする。両者とも減圧下で物理的エッチ  
ングした場合には窒素ガスあるいは水分を除去したドラ  
イ空気中で昇圧し、それぞれを大気中に取り出す。有機配  
線基板を接合装置のステージに搭載し、LSIチップを  
超音波接合ヘッドの接合ツール面に反転させて吸着し、  
両者の位置合わせを行って接合ヘッドを下降させて重ね  
合わせる。このときステージあるいは接合ツールは所定  
温度に保持しておき、有機配線基板やLSIチップの温  
度を位置合わせ工程で所定温度に到達させておく。重ね  
合わせ後、チップ裏面から圧力と超音波振動を加えてA  
uバンプとAuめっき膜の金属接合を行う。このときの  
接合条件は、1 bump当りに加える荷重Pを

... (1)

の一例を図12及び図13に示す。図12は、有機基板  
側とチップ側の両面をAu厚さで20nm程度Arスパ  
ッタクリーニングして、ツール振幅3μmで超音波接合  
した場合の接合部断面と引張破面の走査型電子顕微鏡像  
を示す。接合荷重を小さくして基板側の接合面積をチッ  
プ側の接合面積に比べて1/5程度に小さくしても、引  
張破断面でバンプの一部が基板側に付着しているのが確  
認され、金属接合が達成されているのが分る。ここで言  
う金属接合の定義は、引張力により接合界面で破断した  
場合にAu/Au接合部で局部的伸びを伴う延性破断を  
呈する接合が達成されていることを言い、バンプ側とめ  
っき膜側の破断面にAuの突起が観察されることで確認  
できる。図13は、バンプサイズ50μmφで電極ピッ  
チ80μmのチップをビルドアップ基板に接合した断面  
写真を示す。基板側の接合温度を室温にしているため熱  
変形が無く、低倍の断面像から接続端子のほぼ中央にA  
uバンプが精度よく接合されている様子が分る。また中  
高倍率の像から、Auバンプの組織が基板側のみ偏平に  
潰されて金属的に接合されている状況が分る。この条件  
の接合サンプルでチップダメージを調べたが、ダメージ  
の発生は無かった。これらの検討結果から、最小電極ピ  
ッチが100μm以下で50ピン以上の電極パッドを有  
するLSIチップでも、基板/チップ間の位置ずれを生

じさせず、かつチップダメージを生じさせず、Au/Auの金属接合により全ピンを確実にフリップチップ接続する半導体の製造方法を提供できることが確認された。

【0014】次に、第2の目的を達成するために、LSIチップに前述のAuバンプを形成し、基板側に前述のAuめっき膜を形成する。接合前のスパッタリングによる表面清浄化の方法として、真空排気工程とArガス導入工程を部分的に同時に行う工程とし、複数のLSIチップをトレイに載せて一括スパッタリングを行う工程と複数の基板を一括スパッタリングする工程を必要個数に合わせて順次行う工程とした。また、接合温度を基板を搭載するステージ側を室温とし、チップを吸着する接合ヘッド側のみ昇温して超音波と荷重を加えて接合する方式を選択した。まず、スパッタクリーニングの工程で真空排気とArガス導入を一部時間的にラップさせたことによりArガス圧を所定の圧力に制御する時間が短縮されて放電開始を早めることができ、チップをトレイで扱うことにより多数チップを同時に搬送してクリーニングでき、基板をチップと分けてクリーニングする方式としたことで、それぞれのクリーニング条件の最適化とそれぞれの必要個数をタイミングよくクリーニングできるようにしたことで、ワークのクリーニングに要する時間を大幅に短縮できる。また、基板とチップの両方の接合表面を清浄化する工程を加えた超音波接合としたことにより、Au/Au接合性の大幅な改善が図れ、低荷重・低温・短時間での接合が可能となり、昇温時間の短縮と熱的揺らぎが無いことから位置合わせ工程の短縮が図れてフリップチップ接合工程の大幅な短縮が図れ、生産性を向上することができる。また、接合性の向上によって接合不良が激減し、生産歩留まりの向上も図れる。

【0015】次に、第3の目的を達成するために、配線基板上に形成した有機絶縁層上のCu微細配線パターンを絶縁層上から突出する形状で形成し、そのCu配線上の最表面にAu膜を形成し、LSIチップ電極上のAuバンプとAuめっき膜とが引張力に対してAuバンプ接合部が2μm以上伸びる接合レベルで金属接合し、チップ/基板間の空隙に低熱膨張で微細な無機フィラーを含む樹脂を充填して固めた構造とした。ここで、Auが2μm以上伸びる条件の定義を図9、図10、図11に破断例とともに示す。接合レベルによって、破断位置はバンプ/Au膜の接合界面近傍、バンプ内、バンプ/A1電極の接合界面近傍に別れるが、いずれのケースにおいてもHb-H0をAuの伸びとしている。まず、Au/Auの金属接合で接続する構造としたことにより、接続部の耐熱性と電気特性の大幅な向上が図れる。次に、Au/Au接合レベルが接合界面で2μm以上の歪みを吸収できる性能を有していること、無機フィラー入りの樹脂をチップ/基板間に充填して接合部に大きな歪み加わらないように固めていること、基板の配線層を基板面より高くして実質的なチップ/基板間隙を広くして接合

部に加わる熱歪みを小さくしたことにより温度サイクル信頼性を大幅に改善し、吸湿等によるチップ/基板間隙の広がりや延性のあるAu接合部で吸収できるため高温高湿信頼性も大幅に向上できるのである。

【0016】

【発明の実施の形態】以下、本発明の実施例を図面を用いて詳細に説明する。

【0017】図1は、本発明による半導体装置の断面構造の一実施例を示す。図において、配線基板は、コア基板12とその両側に形成されたビルドアップ層17、27とチップ用接続端子21で構成されている。コア基板12は、ガラスエポキシ絶縁板8と接着したCu箔をエッチングによりパターンニングした粗い配線層10、11と裏と表の配線間を接続するための貫通スルーホール9から構成され、ビルドアップ層17は、塗布により形成された薄い絶縁層13と、その上にめっき法で形成された微細配線層14と、粗い配線層と微細配線層を接続するためのビアホール15から構成されている。ビルドアップ層中の薄い絶縁層は、液状樹脂を150~180℃の温度で硬化ベークさせたもので、Tg温度は150℃以下で弾性率も低い値である。チップ用接続端子21は、Cuめっきで形成された微細配線18とその上のNiめっき膜19、さらにその上のAuめっき膜20から構成されている。NiめっきはP入りの無電解めっきで形成されたもので膜厚は5~10μm、Auめっきは置換型の無電解めっきで形成されたもので膜厚は0.03~0.06μmである。半導体チップ6は、半導体基板1の中央に形成された回路形成エリア2の領域と周辺に形成された積層絶縁膜3の領域を有し、外部接続用のA1電極パッド4とそれ以外の領域を覆う保護膜5を有している。半導体チップのA1電極パッド上には、超音波熱圧着によるボールボンディング法によってAuバンプが形成されている。チップの電極パッド数は256ピンで、パッドピッチは80μm、パッドサイズは65μm角であり、パッド材質はAl-CuまたはAl-Cu-Siで、Al膜厚は400nm~1000nmである。Auバンプ寸法は、圧着後のバンプ径で50μmφ、台座の高さ10~25μm、首部の径30~40μmφでその高さ35~50μm、ワイヤの突起部までを含めた全体高さで50~70μmである。そして、フリップチップ接合工程での表面清浄化処理は、チップ側のAuバンプ面をArガスによってAu膜厚で10~20nm相当分スパッタエッチングし、基板側のAuパッド面をAu膜厚で5~10nm相当分スパッタエッチングした。表面清浄化処理後に大気中に取り出してから接合を行うまでの時間を10min以内とし、周囲の相対湿度が60%以下である雰囲気下で接合を行った。接合条件として、接合荷重モードは超音波印加中に荷重を増加させる変動荷重方式とし、初期荷重1g/bump~5g/bumpで最終荷重を10g/bump~30g/bumpの範囲とし、チ



ップに押し付けるツール先端の振動振幅を1~4 $\mu$ mの範囲とし、超音波印加時間を100ms~500msの範囲としてその中から最適条件を選択した。具体的には、初期荷重5g/bump(1.28kg)、最終荷重20g/bump(5.12kg)、振動振幅3 $\mu$ m、超音波印加時間300msで接合を行った。接合温度は、チップ側のツール加熱温度を150℃、基板を搭載するステージ温度を室温:20℃とした。実際の接合部の断面は図Bに示した通りである。ビルドアップ基板のAu膜厚が非常に薄いにもかかわらず、Au/Au接合界面にはほとんど欠陥が認められず、金属接合が達成されている。有機基板の外部接続端子23には、鉛フリーの半田バンプ28がNiめっき膜を介して形成されている。初期のAu膜は、半田中に溶解して界面には残存していない。

【0018】本実施例によれば、80 $\mu$ mの配線ピッチで形成された低ガラス転移温度の表面絶縁層を有する有機配線基板上に、微細なAuスタッドバンプを形成したLSIチップを、接続部の位置ずれを生じさせず、かつチップダメージすなわちA1電極下の絶縁多層膜のクラックを生じさせず、Au/Auの金属接合によって256ビンの全数をフリップチップ接続できるため、最先端の超高速LSIチップを有機基板上に搭載した高信頼のマルチチップモジュールを提供できる。このときLSIチップには特殊な加工を加える必要が無い場合、モジュール製品の低コストが図られ、短期間(2ヶ月程度)で製造できる有機基板でモジュールを構成できるため、顧客の仕様に合ったシステムを組み込んだモジュールを短時間で開発できるという効果もある。また、チップを0.1mm程度まで隣接した状態で基板への搭載が可能となって高密度実装化が図られ、モジュールの小型化が可能となると

【0019】また、Au膜厚が0.03~0.06 $\mu$ mと、非常に薄い接続端子にフリップチップ実装できることから、基板の外部接続端子側のAu膜厚も同様に薄くでき、Snを多く含む半田で半田バンプを形成してもAuSn金属間化合物層を形成せず、半田接続部の高強度化が図れて、マザーボードとの接続信頼性を向上できるという効果もある。

【0020】図2は、本発明による半導体装置の構造の他の一実施例を示す。図において、ビルドアップ基板は、スルーホール配線32と両面配線33、34を有す

るコア基板35の両側に、塗布形成による絶縁層36、37、43、44とめっき形成による微細配線38、45とビアホール配線40、47、48と最表面のAu膜厚が0.05 $\mu$ mのめっき形成による接続端子39、41、46からなるビルドアップ層42、49が形成された構造である。ビルドアップ基板の片面には、複数のLSIチップ51がA1電極52上にボールボンディング法によって形成されたAuバンプ55を介して基板の接続端子41にAu/Auの金属接合で接続搭載されている。バンプ高さが30 $\mu$ mで、配線の高さが20 $\mu$ mで組立てられている。そのLSIチップ/基板間には、チップ側のパッシベーション膜53と基板の絶縁層37の両方に接着性のよい無機フィラー入りのアンダーフィル樹脂56が充填されている。また、受動部品57は鉛フリー半田58によって接続端子39に接続搭載されている。一方、ビルドアップ基板の反対側には、接続端子46の一部を覆うようにレジスト膜59が形成され、接続端子には鉛フリーの半田バンプが形成されている。図3は、図2の半導体装置の組立てフローの一実施例を示す。LSIチップはAuスタッドバンプを形成してスパッタクリーニングし、ビルドアップ基板はスパッタクリーニングしたものを準備してから、基板上に所定個数のLSIチップを順番に超音波フリップチップ接合する。Auバンプのスパッタ厚は10nm以上とし、基板側のスパッタ厚はAu膜厚の1/10以上または10nm以上としている。接合温度は、チップ側で常温~150℃、基板側を常温~60℃としている。LSIチップ接合後、チップ/基板間にアンダーフィル樹脂を流し込み、120℃以下で仮ベークを行う。次に基板のチップ搭載側の受動部品接続端子に半田ペーストを印刷し、受動部品を供給してリフローする。次にフラックスを部分的に塗布した半田ボールを接続端子に供給して、リフローする。最後にフラックスを洗浄後、LSIチップ下のアンダーフィルを150℃のベークにより完全硬化させて、組立てを完了する。

【0021】本実施例によれば、LSIチップ/ビルドアップ基板の間隙が50 $\mu$ mと広く組立てられており、しかもその間隙に樹脂が充填されて加熱ベークにより硬化されているため、樹脂の硬化収縮とベーク温度150℃からの冷却によって接合部には常に圧縮力が加わることになり、温度サイクル試験や高温高湿試験において接合部に剥離方向の大きな力が発生しないこと、また、微小な剪断方向の歪みは柔らかいAuバンプの塑性変形で吸収できるために接合部周辺に高い応力が発生しないこと、この理由によって、LSIチップの接続信頼性が非常に高い半導体装置を提供できる。また、基板の接続端子のAu膜厚を0.05 $\mu$ mと非常に薄い膜で構成しているため、半田接続部の信頼性を向上できるという効果もある。また、LSIチップの微小接続部が低電気抵抗のAuで金属的にかつ最短距離で基板に接続されているた

め、接続部の電気抵抗やインダクタンス成分が非常に小さくて電気特性に優れており、信号伝送遅延を小さくできて高速システムの性能を低下させないという効果もある。また、Au/Auフリップチップ接合部の耐熱性が高いため、後から受動部品やLSI部品の半田付け搭載が容易に行え、超先端のLSIチップと半田接合部品の混載が可能となり、システム構成の選択範囲が広がって設計が容易となるという効果もある。

【0022】図4は、本発明による半導体装置の断面構造の他の一実施例を示す。微細片面配線基板65の微細接続端子66はCuパターンにNi/Auめっきが施されている。LSIチップ60、61のAl電極上にはAuスタッドバンプが形成され、基板65の接続端子とAu/Auの金属接合によって接続されている。基板とLSIチップの間には無機フィラー入りの低熱膨張樹脂が充填されて、加熱により硬化されている。基板65はマザーボード68に接着されて固定され、基板とマザーボード間にはAu線70のワイヤボンディングで結線されている。

【0023】本実施例によれば、スルーホールが無い片面配線基板でモジュールを構成しているため、薄いCu箔を貼った基板のエッチングプロセスで製造することができ、基板コストの低減によってモジュールコストを安くできるという効果がある。また、マザーボード搭載まで含めて半田接合部が無いため、後付け部品の半田付け搭載に対する制約がなく組立てが容易となり、温度サイクル信頼性や高温高湿信頼性を高くできるという効果もある。

【0024】図5は、本発明による半導体装置の断面構造の他の一実施例を示す。図において、2層配線プリント基板93の片面の一部に、スルーホール85を有する片面テープ基板95が接着剤86によって貼り付けられ、テープ基板のスルーホール電極85とプリント基板の接続端子90がAu/Auの高荷重条件の加熱圧着で接合されている。テープ基板の配線接続端子84とLSIチップ80のAl電極81に形成されたAuめっきバンプ82は超音波熱圧着によりAu/Au接合されている。チップ/テープ基板間には樹脂87が充填されて硬化されている。プリント基板の裏面の外部接続端子91には半田バンプが形成されている。

【0025】本実施例によれば、LSIチップ搭載部のみで微細配線エリアを形成する構造としており、別工程で製造した微細配線テープ基板を圧着する方法でモジュール基板を製造できるため、基板製造のスループットを高くでき、低コスト化が可能となる。また、LSIチップがチップシュリンク等の理由で仕様変更となった場合には、テープ基板のみの最小限の変更で基板を再作製でき、仕様変更の開発期間を短縮できるという効果もある。

【0026】図6は、本発明によるLSIチップと有機

配線基板の接合構造の一実施例を示す。図において、LSIチップ100のAl電極101上にはボールボンディング法によってAuスタッドバンプ103が形成されている。スタッドバンプは、Auボールがキャピラリールの先端面で潰された厚さ20μmの土台部とキャピラリのホールに圧入して形成された胴部とAuワイヤが引張破断されて形成された尖塔状の先端部で構成され、先端部のみを潰して基板の接続端子にAu/Au接合した形状としている。チップ側の接合部直径は45μmで、基板側の接合部直径は30μmである。有機配線基板は、コア基板115の両面に薄い絶縁層107、108を形成してから、その上に微細配線層を形成した構造である。チップ接続端子の構造は、Cuパターンの上にNi/AuまたはNi/Pd/Auめっきした構造で、Au厚またはPd+Au厚は、0.05~0.1μmである。

【0027】本実施例によれば、チップ側の接合面積に比べて基板側の接合面積が1/2以下と小さく、バンプ高さが初期のスタッドバンプの胴部の高さを維持して高いため、接合後の荷重開放時に生じる基板の反りの戻りが発生した場合でも、チップのAl電極周辺にAuの降伏強度の1/2以上の力が加わることが無いため、チップのAl電極下の絶縁多層膜を応力的に壊すことが無い。このため、基板の平坦精度が低くても組立て歩留まりが高くなるという効果がある。この、応力の問題は、接合中でも同様で、実施例のバンプ形状に制御することで、接合時のチップダメージを低減できる効果もある。

【0028】図7は、本発明によるLSIチップと有機配線基板の接合構造の他の一実施例を示す。図において、LSIチップ120のAl電極121上にはパッシベーション膜122に一部かかるようにメタライズ膜123が形成され、その上にAuバンプがめっき法により形成されている。Auバンプは、めっき工程後に熱処理が加えられ、ビッカース硬度Hvで80以下となるように軟質化処理が施されている。有機配線基板のチップ接続端子137は、接続端子先端部の寸法が、バンプの底面の寸法に対して小さく設計されており、接合後の端子側の接合面積がバンプの底面の面積に対して1/2以下となる寸法にしている。具体的には、バンプ40μm角×15μm高さで、接続端子の土台部30μm幅、先端部20μm幅、高さ20μmである。接続端子の構造は、Cuパターンの上にNi-P/AuまたはNi-P/Pd/Auめっきした構造で、Au厚またはPd+Au厚は、0.05~0.1μmである。

【0029】本実施例によれば、Auめっきバンプを形成したLSIチップを有機配線基板にAu/Au金属接合により搭載した構造としているため、Al電極が外部に露出したところが無く、高温高湿雰囲気下の腐食環境下に曝されても影響を受けることがないため、非常に信頼性の高い半導体装置を提供できる。また、バンプの底面



がパッシベーション膜にかかる程大きく、パンプ中央に接続端子が当る配置としているため、A1電極周辺で応力集中が発生することが無く、チップに接合ダメージを与えることが無くなって組立て歩留まりを向上できるという効果もある。最も懸念されるのは、Auパンプが変形しづらいために、基板の高さばらつきやめっきパンプの高さばらつきを吸収できず、未接合端子が発生することであるが、Auパンプの硬度を熱処理で下げていること及び接続端子寸法を小さくしてAuめっきパンプに食い込み易い工夫をしたことにより、Auパンプの局所的変形により高さばらつきを吸収してこの問題を回避できている。

【0030】図8は、本発明による半導体装置の断面構造の他の一実施例を示す。図において、LSIチップ140の回路形成面には、厚さは2~4 $\mu$ mポリイミドの絶縁膜142とバリア膜付きのCu配線143から構成される再配線層が形成され、その上には最表面をAu膜とした電極端子144が形成されている。その電極端子にはAuスタッドパンプ145がボールボンディング法によって形成されている。有機配線基板は、配線ピッチ200 $\mu$ mのプリント回路基板で、接続端子には電気Ni/Auめっきが施されている。基板の反対側の外部接続端子には半田パンプが形成されている。また、チップ/基板間には樹脂が充填されて固められている。

【0031】本実施例によれば、微細ピッチのLSIチップに再配線による拡大層を形成したチップを用いて、有機基板にAu/Au金属接合で接続しているため、有機配線基板に一般的なプリント回路基板を使用でき、低コスト化が可能となる。また、ポリイミドのクッションを介してチップに接合時の応力が伝わる構造であるため、組立工程におけるチップダメージの発生が全く無くなり、位置合わせの容易さと合わせて歩留まりの大幅な向上が可能となる。また、チップ/基板間の接続部の耐熱性と信頼性が高いため、モジュールのマザーボードへの搭載プロセスに対する制約がほとんど無く、取り扱いが容易で使い勝手が良いという効果もある。

#### 【0032】

【発明の効果】以上詳述したように、本発明によれば、最小配線ピッチ100 $\mu$ m以下の微細配線層を有し、低ガラス転移温度の表面絶縁層を有する有機配線板に、最小電極ピッチが100 $\mu$ m以下で50ピン以上の電極パッドを有するLSIチップを、基板/チップ間の位置ずれを生じさせず、かつチップダメージを生じさせず、Au/Auの金属接合により全ピンを確実にフリップチップ接続する半導体の製造方法を提供できる。

【0033】また、多ピン・微細ピッチのLSIチップを高信頼かつ低インピーダンス特性で微細配線層を有する有機配線基板に搭載でき、組立て歩留まりが高くかつ生産性に優れた実装構造および実装プロセスを提供できる。

【0034】また、微細配線層と低ガラス転移温度の有機絶縁層から成るビルドアップ層を表面層に持つ有機配線基板上に50ピン以上の電極パッドを有する多ピンLSIチップをフリップチップ接続により搭載した半導体装置において、フリップチップ接続部の耐熱性、電気的特性、高温高湿や温度サイクル信頼性に優れた半導体装置を提供できる。

#### 【図面の簡単な説明】

【図1】本発明による半導体装置の断面構造の一実施例。

【図2】本発明による半導体装置の断面構造の他の一実施例。

【図3】本発明による半導体装置の断面構造の他の一実施例。

【図4】本発明による半導体装置の断面構造の他の一実施例。

【図5】本発明による半導体装置の断面構造の他の一実施例。

【図6】本発明によるLSIチップと有機配線基板の接合構造の一実施例。

【図7】本発明によるLSIチップと有機配線基板の接合構造の他の一実施例。

【図8】本発明による半導体装置の断面構造の他の一実施例。

【図9】接合部引張破断時のAuの伸びの定義と破断例。

【図10】接合部引張破断時のAuの伸びの定義と破断例。

【図11】接合部引張破断時のAuの伸びの定義と破断例。

【図12】Auパンプ接合部の断面形状と破断状況。

【図13】80 $\mu$ mピッチLSIチップとビルドアップ基板の接合断面例。

#### 【符号の説明】

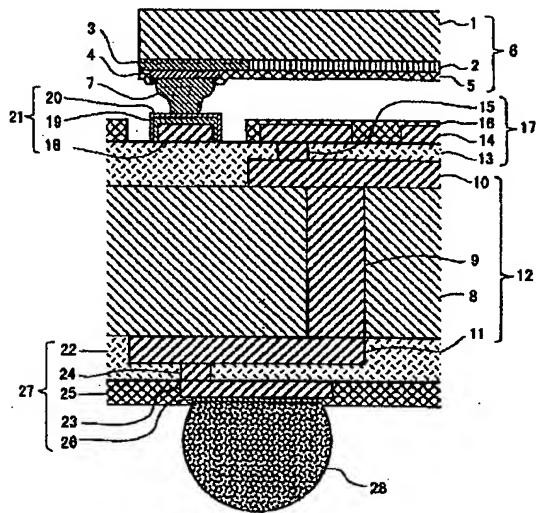
1…Si基板、2…回路形成エリア、3…積層絶縁膜、4…A1電極パッド、5…保護膜、6、54…半導体チップ、7、55、82…Auパンプ、8…ガラスエポキシ絶縁板、9、85…スルーホール、10、11…配線層、12、35、115…コア基板、13、22、36、37、43、44、107、108、126、128…絶縁層、14…微細配線層、15、24…ビアホール、16、25、59、92、113、135、150…レジスト膜、17、27、42、49…ビルドアップ層、18、38、45…微細配線、19、26、110、131…Niめっき膜、20、111、132…Auめっき膜、21、39、41、46、66、90、91、133、148…接続端子、23、67、112、134、149…外部接続端子、28、50、94、114、136、152…半田パンプ、31、146…有機絶縁基板、32、89、147…スルーホール配線、3

17

3, 34, 105, 106, 127, 129…配線、40, 47, 48…ビアホール配線、51, 60, 61, 80, 100, 120, 140…LSIチップ、52, 62, 81, 101, 121, 141…Al電極、53, 63, 102, 122…パッシベーション膜、56…アンダーフィル樹脂、57…受動部品、58…半田、64, 103, 145…Auスタッドパンク、65…配線基板、68…マザーボード、69…WB接続端子、7

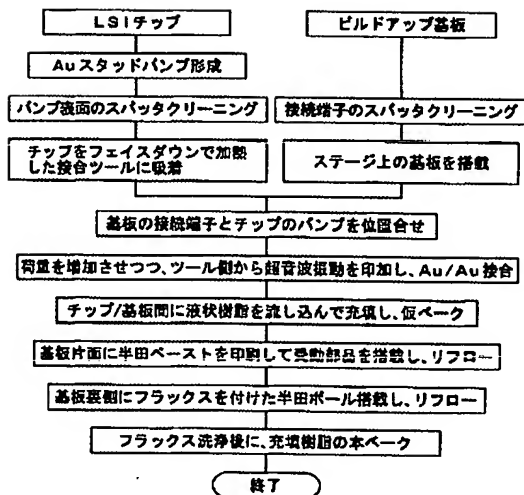
【図 1】

図 1



【図 3】

図 3

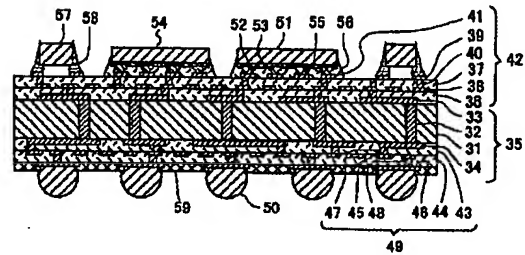


18

0…Au線、83…絶縁テープ、84…配線接続端子、86…接着剤、87, 151…樹脂、88…ガラスエポキシ基板、93…プリント基板、95…テープ基板、104, 125…有機絶縁板、109, 130…Cuパターン、123…メタライズ膜、124…Auめっきパンク、142…絶縁膜、143…Cu配線、144…電極端子。

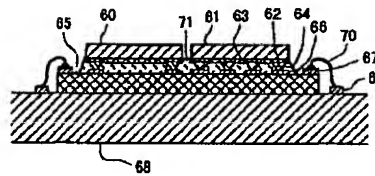
【図 2】

図 2



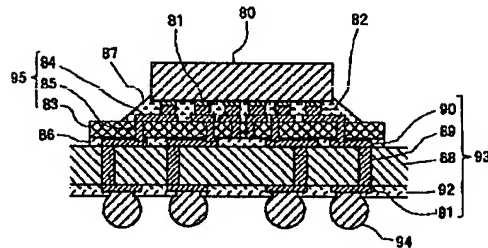
【図 4】

図 4

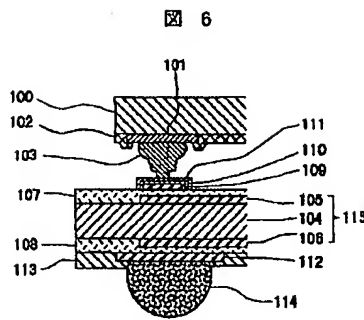


【図 5】

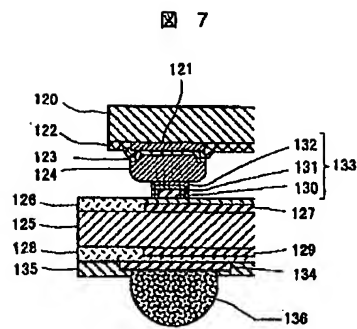
図 5



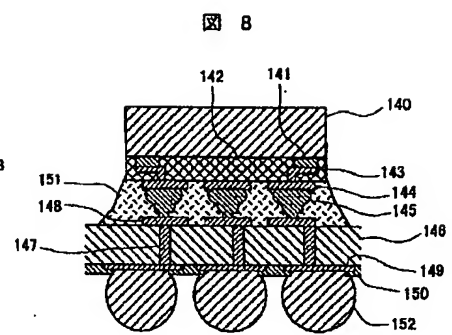
【図6】



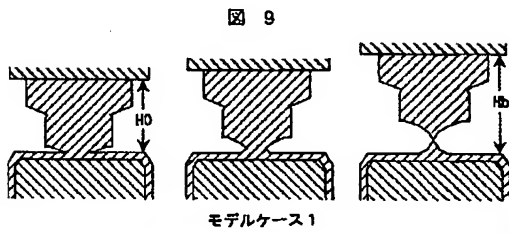
【図7】



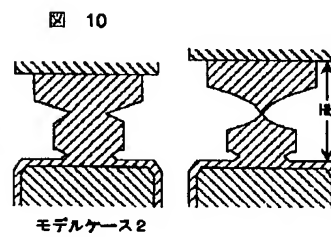
【図8】



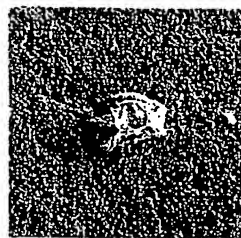
【図9】



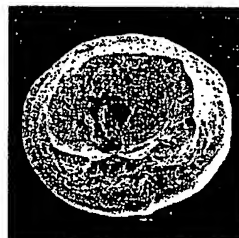
【図10】



チップ側A | 電極



基板側接続端子面



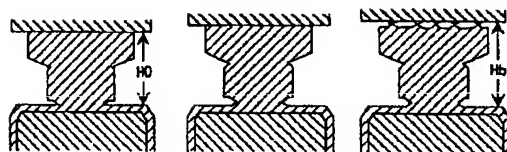
チップ側A | 電極



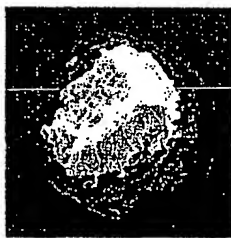
基板側接続端子面

【図11】

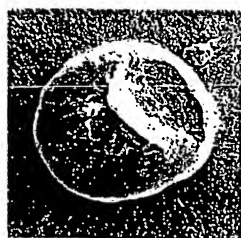
図 11



モデルケース 3



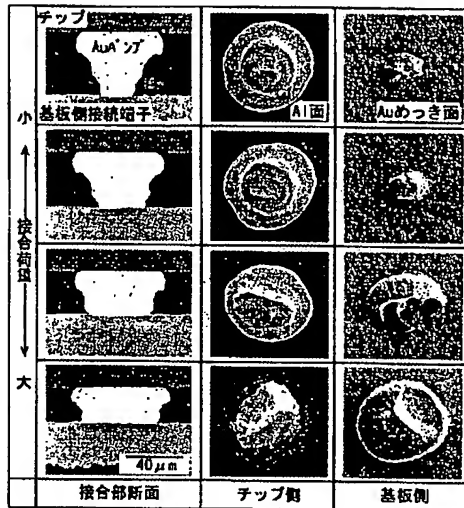
チップ側A | 電極



基板側接続端子面

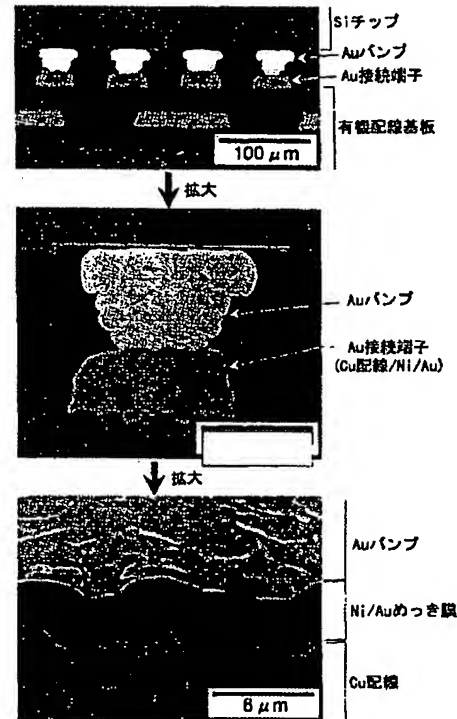
【図 12】

図 12



【図 13】

図 13



フロントページの続き

- (72)発明者 篠田 政佳  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内
- (72)発明者 成沢 明彦  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内
- (72)発明者 西村 朝雄  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

- (72)発明者 守田 俊章  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内
- (72)発明者 高橋 和弥  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内
- (72)発明者 伊藤 和利  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

Fターム(参考) 5F044 KK02 KK18 KK19 QQ03 QQ04